

PATENT

GK-US035116

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Minsu Jeong

Serial No.: 10/647,536

Filed: August 26, 2003

For: CHARGE PUMP CIRCUIT FOR
COMPENSATING MISMATCH OF
OUTPUT CURRENTS

:
:
:
:
:
:
:
:
:
:
:

Patent Art Unit: 2816

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

The Assistant Commissioner of Patents
Washington, DC 20231

Sir:

Under the provisions of 35 U.S.C. §119, Applicant files herewith certified copies of Korean Patent Applications Nos. 10-2002-50449, filed August 26, 2002 and 10-2002-51198, filed August 28, 2002 in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748. Applicant hereby claims priority under 35 U.S.C. §119 in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748.

Respectfully submitted,

Todd M. Guise
Reg. No. 46,748

SHINJYU GLOBAL IP COUNSELORS, LLP
1233 Twentieth Street, NW, Suite 700
Washington, DC 20036
(202)-293-0444
Dated: 12/15/03



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0050449
Application Number PATENT-2002-0050449

출원년월일 : 2002년 08월 26일
Date of Application AUG 26, 2002

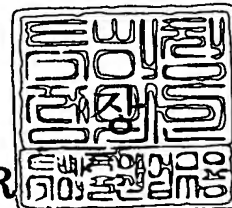
출원인 : 인티그런트 테크놀로지즈(주)
Applicant(s) INTEGRANT TECHNOLOGIES INC.



2002 년 12 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.26
【발명의 명칭】	차지 펌프 회로의 출력 전류간 불일치 보정 회로 및 이를 이용한 차지 펌프 회로
【발명의 영문명칭】	Circuit for Compensating Mismatch of Output Current in Charge Pump Circuit and Charge Pump Circuit using the same
【출원인】	
【명칭】	인티그런트 테크놀로지즈(주)
【출원인코드】	1-2001-002372-0
【대리인】	
【성명】	박경완
【대리인코드】	9-1999-000646-5
【포괄위임등록번호】	2001-003356-1
【대리인】	
【성명】	김성호
【대리인코드】	9-1998-000633-4
【포괄위임등록번호】	2001-003357-8
【발명자】	
【성명의 국문표기】	정민수
【성명의 영문표기】	JEONG, Minsu
【주민등록번호】	710314-1658810
【우편번호】	431-817
【주소】	경기도 안양시 동안구 부흥동 1103번지 은하수 아파트 206-1002
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박경완 (인) 대리인 김성호 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 13 면 13,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 9 항 397,000 원

【합계】 439,000 원

【감면사유】 소기업 (70%감면)

【감면후 수수료】 131,700 원

【첨부서류】 1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류_1통

【요약서】**【요약】**

본 발명은 차지 펌프 회로에 있어서, 출력 전류간 불일치를 보정하기 위한 것이다. 차지 펌프 회로의 출력 전류간 불일치를 보정하기 위하여, 본 발명의 일실시예에 따른 차지 펌프 회로는 제1 및 제2 입력단, 바이어스단, 및 출력단을 구비하고, 제1 및 제2 입력단에 각각 업 신호 및 다운 신호가 인가되면, 출력단에 접속된 커패시터를 충전 및 방전시키는 차지 펌핑부, 바이어스단 및 출력단을 구비하고, 상기 차지 펌핑부의 출력단에 흐르는 전류를 복사하는 전류 복사부, 차지 펌핑부의 출력단 전압과 전류 복사부의 출력단 전압의 차이를 검출하여 바이어싱부로 유입되는 제어 전류 값을 조절하는 제어부, 및 상기 제어 전류에 의하여 차지 펌핑부 및 전류 복사부에 인가되는 바이어스 전압을 조절하는 바이어싱부를 포함한다.

본 발명의 일실시예에 따른 차지 펌프 회로에 있어서, 출력 전류간 불일치가 발생되면, 차지 펌핑부 및 전류 복사부의 출력 전압간에 불일치가 발생하게 되고, 이러한 불일치를 제어부를 통하여 검출하고, 바이어싱부에 의하여 보상함으로써, 차지 펌프 회로의 출력 전류간 불일치가 보상된다.

【대표도】

도 4

【색인어】

위상 고정 루프, 차지 펌프 회로, 소오스 전류, 싱크 전류, 보정 회로

【명세서】**【발명의 명칭】**

차지 펌프 회로의 출력 전류간 불일치 보정 회로 및 이를 이용한 차지 펌프 회로
{Circuit for Compensating Mismatch of Output Current in Charge Pump Circuit and
Charge Pump Circuit using the same}

【도면의 간단한 설명】

도 1은 종래의 위상 고정 루프를 도시한 블록도.

도 2는 도 1에 도시된 위상 고정 루프에 있어서, 종래의 차지 펌프 회로를 도시한 회로도.

도 3은 본 발명의 일실시예에 따른 차지 펌프 회로를 개략적으로 도시한 블록도.

도 4는 도 3에 도시된 차지 펌프 회로를 본 발명의 일실시예에 따라서 실제 소자를 이용하여 도시한 회로도.

도 5는 도 3에 도시된 차지 펌프 회로를 본 발명의 다른 실시예에 따라서 실제 소자를 이용하여 도시한 회로도.

<도면의 주요 부분에 대한 부호의 설명>

3100: 차지 펌핑부

3300: 전류 복사부

3500: 제어부

3700: 바이어싱부

CMP41: 비교기

CTR41: PMOS 트랜지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 위상 고정 루프(Phase Locked Loop)의 차지 펌프(Charge Pump) 회로에 관한 것으로서, 더욱 상세하게는 차지 펌프 회로의 출력단에 흐르는 소오스 전류 및 싱크 전류 간 불일치를 보상하는 보정 회로 및 이를 이용한 차지 펌프 회로에 관한 것이다.
- <11> 도 1은 종래의 위상 고정 루프를 도시한 블록도이다.
- <12> 도 1에 도시된 바와 같이, 위상 고정 루프는 위상 검출기(Phase Detector:101), 차지 펌프(103), 루프 필터(Loop Filter:105), 전압 제어 발진기(Voltage Controlled Oscillator:107)를 포함한다. 전압 제어 발진기(107)는 입력되는 전압 신호에 의하여 출력되는 발진 신호 CLK의 주파수를 제어한다. 위상 검출기(101)는 기준 발진 신호 REFCLK와 전압 제어 발진기(107)에서 출력된 발진 신호 CLK를 비교하여, 전압 제어 발진기(107)에서 출력된 발진 신호 CLK의 주파수가 기준 발진 신호 REFCLK의 주파수보다 낮은 경우에는 UP 신호를 출력하고, 그 반대인 경우에는 DN 신호를 출력한다. 차지 펌프(103)는 인가되는 전압 펄스가 업 신호 UP인 경우에는 양의 전류 펄스를 발생시키고, 인가되는 전압 펄스가 다운 신호 DN인 경우에는 음의 전류 펄스를 발생시킨다. 루프 필터(105)는 일반적으로, 큰 용량의 커패시터를 포함하며, 입력되는 전류 펄스에 의하여 커패시터가 충전 또는 방전됨으로써 출력 전압 V_{CLT} 을 제어한다. 전압 제어 발진기(107)는 루프 필터(105)의 출력 전압 V_{CLT} 에 의하여 발진 신호 CLK의 주파수를 제어한다. 즉, 루프 필

터(105)의 출력 전압 V_{CLT} 이 증가하면, 발진 신호 CLK의 주파수를 증가시키고, 루프 필터(105)의 출력 전압 V_{CLT} 이 감소하면, 발진 신호 CLK의 주파수를 감소시킨다.

<13> 따라서, 전압 제어 발진기(107)에서 출력되는 발진 신호 CLK의 주파수가 기준 발진 신호 REFCLK의 주파수보다 낮게 되면, 위상 검출기(101)는 업 신호 UP를 발생시키고, 차지 펌프(103)는 양의 전류 펄스를 발생시켜 루프 필터(105)의 커패시터를 충전시킨다. 이로 인하여, 전압 제어 발진기(107)에 인가되는 전압 V_{CLT} 이 증가하게 되어 출력되는 발진 신호 CLK의 주파수가 높아지게 된다. 이와 반대로, 전압 제어 발진기(107)에서 출력되는 발진 신호 CLK의 주파수가 기준 발진 신호 REFCLK의 주파수보다 높게 되면, 위상 검출기(101)는 다운 신호 DN를 발생시키고, 결국, 전압 제어 발진기(107)에 인가되는 전압 V_{CLT} 이 감소하게 됨으로써, 발진 신호 CLK의 주파수가 낮아지게 된다.

<14> 도 2는 도 1에 도시된 위상 고정 루프에 있어서, 종래의 차지 펌프 회로(103)를 도시한 회로도이다.

<15> 도 2에 도시된 바와 같이, 종래의 차지 펌프 회로(103)는 제1 및 제2 PMOS 트랜지스터 MP21, MP22, 및 제1 및 제2 NMOS 트랜지스터 MN21, MN22를 포함한다. 제1 PMOS 및 NMOS 트랜지스터 MP21, MN21는 소스 공통형으로 구현되며 게이트에 각각 인가되는 전압 펄스 UPB, DN에 의하여 활성화 되거나 비활성화 된다. 제2 PMOS 및 NMOS 트랜지스터 MP22, MN22는 게이트 공통형으로 구현되며, 각각의 게이트에는 일정한 바이어스 전압 BIASP, BIASN이 인가된다.

<16> 이하, 도 2를 참조하여 종래의 차지 펌프(103)의 동작 및 문제점을 설명한다.

- <17> 위상 검출기(101)의 UP 펄스가 하이(high)로 되면, 차지 펌프(103)의 UPB 펄스는 로우(low)로 되어 제1 PMOS 트랜지스터 MP21가 활성화된다. 이것은 제2 PMOS 트랜지스터 MP22의 소오스를 충전시키고, 제2 PMOS 트랜지스터 MP22의 게이트-소오스 간 전압이 임계전압을 초과할 때까지 소오스의 전압을 상승시킨다. 따라서, 전원으로부터 소오스 전류 I_{source} 가 제1 및 제2 PMOS 트랜지스터 MP21, MP22로 흐르게 되고, 루프 필터(105)에 포함된 커패시터 C21를 충전시킨다.
- <18> DN 펄스가 하이로 되면, 제1 NMOS 트랜지스터 MN21가 활성화된다. 이것은 제2 NMOS 트랜지스터 MN21의 소오스를 방전시키고, 제2 NMOS 트랜지스터 MN21의 게이트-소오스 간 전압이 임계 전압을 초과할 때까지 낮춘다. 따라서, 루프 필터(105)의 커패시터로부터 싱크 전류 I_{sink} 가 제1 및 제2 NMOS 트랜지스터 MN21, MN22를 통하여 접지로 흐르게 되고, 커패시터 C21는 방전된다.
- <19> 종래의 차지 펌프 회로(103)에 있어서 제2 PMOS 및 NMOS 트랜지스터 MP22, MN22는 각각의 게이트에 인가되는 바이어스 전압 $BIASP$, $BIASN$ 에 의하여 출력단 V_{LF0} 에 흐르는 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 의 양을 제어하며, 일반적으로 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 가 동일한 전류 값을 갖도록 소정의 바이어스 전압 $BIASP$, $BIASN$ 이 설정된다.
- <20> 그러나, 도 2에 도시된 종래의 차지 펌프 회로(103)에 있어서, 출력 구동 소자의 비이상적인 출력 임피던스로 인하여 출력 전압 V_{LF0} 에 따라 차지 펌프 회로(103)의 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 가 서로 일치하지 않는 문제가 발생되었다. 즉, UPB 펄스가 인가된 경우, 출력단 V_{LF0} 에서 바라본 제1 및 제2 NMOS 트랜지스터 MN21, MN22의

임피던스가 이론적으로 무한대가 되지 않음으로 인하여, 소오스 전류 I_{source} 가 출력단 V_{LFO} 의 전압에 따라 다른 전류 값을 가지게 된다. 이와 마찬가지로, DN 펄스가 인가된 경우에도, 싱크 전류 I_{sink} 는 출력단 V_{LFO} 의 전압에 따라 다른 전류 값을 가지게 된다. 따라서, 출력 전압 V_{LFO} 의 전압 영역에 따라 소오스 I_{source} 전류 및 싱크 전류 I_{sink} 간에 불일치가 발생되었다. 이러한 출력 전류간 불일치는 위상 고정 루프에서 원하지 않는 스푸리어스 톤(Spurious tone)의 발생을 야기시키며, 위상 고정 루프의 위상 잡음 특성을 나쁘게 한다.

- <21> 상기 문제점을 해결하기 위한 종래 기술로서, CMOS 차지 펌프에서 사용되는 제1 및 제2 PMOS 트랜지스터 MP21, MP22, 및 제1 및 제2 NMOS트랜지스터 MN21, MN22의 길이 (length)를 크게 하여 임피던스를 증가시키는 방법과, 제2 NMOS 및 PMOS 트랜지스터 MN22, MP22를 캐스코드로 구성하여 일반적인 회로보다 임피던스를 크게 하는 방법이 있다. 그러나 소자의 길이를 크게 하는 경우 소자 크기가 커지게 되어 스위칭 속도가 느려지고, 소자를 캐스코드로 구성하는 경우에는 차지 펌프의 동작 범위가 작아지는 단점이 있다. 또한, 출력 임피던스가 실질적으로 무한대가 될 수 없으므로 소오스 전류 및 싱크 전류를 일치시키는 데에는 한계가 있었다.

【발명이 이루고자 하는 기술적 과제】

- <22> 본 발명의 목적은 출력단에 흐르는 소오스 전류 및 싱크 전류간 불일치가 보정된 차지 펌프 회로를 제공하는 것이다.
- <23> 본 발명의 또 다른 목적은 차지 펌프 회로의 스위칭 속도 및 동작 범위를 저하시키지 않고 소오스 전류 및 싱크 전류를 일치시키는 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위하여 본 발명의 일실시예에 따른 차지 펌프 회로는, 제1 및 제2 입력단, 바이어스단, 및 출력단을 구비하고, 제1 및 제2 입력단에 각각 인가된 업 신호 및 다운 신호에 의하여 출력단에 접속된 커패시터를 충전 및 방전시키고, 바이어스단에 인가된 바이어스 전압에 의하여 출력단에 흐르는 전류의 양이 결정되는 차지 펌핑부, 바이어스단 및 출력단을 구비하고, 차지 펌핑부의 출력단에 흐르는 전류를 복사하고, 바이어스단에 인가된 전압에 의하여 출력단의 전압이 제어되는 전류 복사부, 차지 펌핑부의 출력단에 접속되는 제1 입력단, 전류 복사부의 출력단에 접속되는 제2 입력단, 및 출력단을 구비하고, 제1 및 제2 입력단에 인가되는 전압의 차에 따라서 출력단에 흐르는 전류 값을 제어하는 제어부, 및 제어부의 출력단에 접속되는 제어단, 차지 펌핑부 및 전류 복사부의 바이어스단과 접속되는 출력단을 구비하고, 제어단에 유입되는 제어 전류에 의하여 출력단의 전압을 제어하는 바이어싱부를 포함한다.

<25> 본 발명의 일실시예에 따른 차지 펌프 회로에 있어서, 차지 펌핑부는 제1 및 제2 PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 차지 펌핑부의 제1 및 제2 입력단을 형성하고, 드레인은 각각 제2 PMOS 및 NMOS 트랜지스터의 소오스와 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 제2 PMOS 트랜지스터의 게이트는 차지 펌핑부의 바이어스단을 형성하고, 드레인은 제2 NMOS 트랜지스터의 드레인과 접속되어 차지 펌핑부의 출력단을 형성하고, 제2 NMOS 트랜지스터의 게이트에는 일정한 N형 바이어스 전압이 인가된다.

<26> 본 발명의 일실시예에 따른 차지 펌프 회로에 있어서, 전류 복사부는 제1 및 제2 PMOS 트랜지스터, 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 제1 PMOS 및 NMOS 트랜지

스터의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 제2 PMOS 및 NMOS 트랜지스터의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 제2 PMOS 트랜지스터의 게이트는 전류 복사부의 바이어스단을 형성하고, 드레인은 제2 NMOS 트랜지스터의 드레인과 접속되어 전류 복사부의 출력단을 형성하고, 제2 NMOS 트랜지스터의 게이트에는 N형 바이어스 전압이 인가된다.

<27> 본 발명의 일실시예에 따른 차지 펌프 회로에 있어서, 제어부는 제어부의 제1 및 제2 입력단을 형성하는 + 입력단 및 - 입력단, 및 출력단을 구비하고, + 입력단 및 - 입력단에 인가된 신호의 전압을 비교하고 그 결과에 따라 출력단의 전압을 제어하는 비교기, 및 PMOS 트랜지스터를 포함하고, PMOS 트랜지스터의 드레인은 전원에 접속되고, 게이트는 비교기의 출력단에 접속되며, 소오스는 제어부의 출력단을 형성한다.

<28> 본 발명의 일실시예에 따른 차지 펌프 회로에 있어서, 바이어싱부는 제1 및 제2 PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 제2 PMOS 및 NMOS 트랜지스터의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 제2 PMOS 트랜지스터의 게이트는 바이어싱부의 출력단을 형성하고, 드레인은 제2 NMOS 트랜지스터의 드레인과 접속되어 바이어싱부의 제어단을 형성하며, 제2 PMOS 트랜지스터의 게이트와 드레인은 서로 접속되고, 제2 NMOS 트랜지스터의 게이트에는 N형 바이어스 전압이 인가된다.

<29> 본 발명의 다른 실시예에 따른 차지 펌프 회로에 있어서, 차지 펌핑부는 제1 및 제2 PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 차지 펌핑부의 제1 및 제2 입력단을 형성하고, 드레인은 각각

제2 PMOS 및 NMOS 트랜지스터의 소오스와 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 제2 NMOS 트랜지스터의 게이트는 차지 펌핑부의 바이어스단을 형성하고, 드레인은 제2 PMOS 트랜지스터의 드레인과 접속되어 차지 펌핑부의 출력단을 형성하고, 제2 PMOS 트랜지스터의 게이트에는 일정한 P형 바이어스 전압이 인가된다.

<30> 본 발명의 다른 실시예에 따른 차지 펌프 회로에 있어서, 전류 복사부는 제1 및 제2 PMOS 트랜지스터, 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 제2 PMOS 및 NMOS 트랜지스터의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 제2 NMOS 트랜지스터의 게이트는 전류 복사부의 바이어스단을 형성하고, 드레인은 제2 PMOS 트랜지스터의 드레인과 접속되어 전류 복사부의 출력단을 형성하고, 제2 PMOS 트랜지스터의 게이트에는 P형 바이어스 전압이 인가된다.

<31> 본 발명의 다른 실시예에 따른 차지 펌프 회로에 있어서, 제어부는 제어부의 제1 및 제2 입력단을 형성하는 + 입력단 및 - 입력단, 및 출력단을 구비하고, + 입력단 및 - 입력단에 인가된 전압의 차에 의하여 출력단의 전압을 제어하는 비교기, 및 NMOS 트랜지스터를 포함하고, NMOS 트랜지스터의 드레인은 제어부의 출력단을 형성하고, 게이트는 비교기의 출력단에 접속되며, 소오스는 접지된다.

<32> 본 발명의 다른 실시예에 따른 차지 펌프 회로에 있어서, 바이어싱부는 제1 및 제2 PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 제2 PMOS 및 NMOS 트랜지스터의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 제2 NMOS 트랜지스터의 게이트는 바이어싱부의 출력단을 형성하고, 드레인은 제2 PMOS 트랜지스터의 드

레인과 접속되어 바이어싱부의 제어단을 형성하며, 제2 NMOS 트랜지스터의 게이트와 드레인은 서로 접속되고, 제2 PMOS 트랜지스터의 게이트에는 P형 바이어스 전압이 인가된다.

<33> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

<34> 도 3은 본 발명의 일실시예에 따른 차지 펌프 회로를 개략적으로 도시한 회로도이다.

<35> 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 차지 펌프 회로는 차지 펌핑부(3100), 전류 복사부(3300), 제어부(3500), 및 바이어싱부(3700)를 포함한다.

<36> 차지 펌핑부(3100)는 제1 및 제2 입력단(301, 303), 바이어스단(305), 및 출력단(307)을 구비하고, 제1 및 제2 입력단(301, 303)에 각각 인가된 업 신호 UPB, 및 다운 신호 DN에 의하여 출력단(307)에 접속된 커패시터 C31를 충전 및 방전시킨다. 또한, 차지 펌핑부(3100)의 출력단(307)에 흐르는 전류의 양은 바이어스단(305)에 인가된 전압에 의하여 제어된다. 전류 복사부(3300)는 바이어스단(309) 및 출력단(311)을 구비하고, 차지 펌핑부(3100)의 출력단(307)에 흐르는 전류를 복사한다. 또한, 전류 복사부(3300)는 바이어스단(309)에 인가된 바이어스 전압에 의하여 출력단(311)의 전압을 제어한다. 제어부(3500)는 제1 및 제2 입력단(313, 315), 및 출력단(317)을 구비하고, 제1 및 제2 입력단(313, 315)에 인가된 전압의 차에 의하여 출력단(317)에 흐르는 제어 전류 Icomp의 양을 제어한다. 바이어싱부(3700)는 제어단(319) 및 출력단(321)을 포함하고, 제어단(319)에 인가되는 제어 전류 Icomp에 의하여 출력 전압을 제어한다.

<37> 이하, 도 3을 참조하여, 이들 구성간의 연결관계를 설명한다.

- <38> 차지 펌핑부(3100)의 제1 및 제2 입력단(301, 303)에는 각각 업 신호 UPB, 및 다운 신호 DN가 인가되고, 바이어스단(305)은 바이어싱부(3700)의 출력단(321)과 접속된다. 출력단(307)은 커패시터 C31와 접속되며, 제어부(3500)의 제1 입력단(313)과 더 접속된다.
- <39> 전류 복사부(3300)의 바이어스단(309)은 바이어싱부(3700)의 출력단(321)과 접속되고, 출력단(311)은 제어부(3500)의 제2 입력단(315)과 접속된다.
- <40> 제어부(3500)의 출력단(317)은 바이어싱부(3700)의 제어단(319)과 접속된다.
- <41> 도 4는 도 3에 도시된 차지 펌프 회로를 본 발명의 일실시예에 따라서 실제 소자를 이용하여 도시한 회로도이다.
- <42> 본 발명의 일실시예에 따른 차지 펌프 회로는 MOSFET 트랜지스터 증폭 소자를 활용한다. 증폭 소자는 게이트, 소오스, 및 드레인을 구비한다. MOSFET 트랜지스터는 게이트에 인가되는 전압의 크기 및 극성에 따라서, 드레인으로부터 소오스로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다. 이러한 증폭 소자로는 바이폴라 정션 트랜지스터(BJT), 정션 전계 효과 트랜지스터(JFET), 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET) 및 금속 반도체 전계 효과 트랜지스터(MESFET) 등이 있다.
- <43> 상술한 증폭 소자 중에서도 이하의 설명에서는 MOSFET을 중심으로 설명하고자 한다. 그러나, 본 발명의 정신은 MOSFET 뿐만 아니라 상보적으로 동작하는 모든 소자에 적용할 수 있다. 따라서, 비록 본 명세서에서는 MOSFET을 중심으로 설명하나, 본 발명의 개념과 범위가 MOSFET으로 한정되는 것은 아니다. 또한, 이하의 설명에서는 N형 MOSFET

를 중심으로 설명하지만, 본 발명의 개념을 P형 MOSFET에도 적용할 수 있음은 당업계에 자명하다.

<44> 도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 차지 펌프 회로는 차지 펌핑부(3100)의 출력 전압 V_{LFO} 및 전류 복사부(3300)의 출력 전압 V_{LFO}' 간의 불일치를 소오스 단에서 보상해 줌으로써, 차지 펌핑부(3100)의 출력단(307) 전류의 불일치를 보정한다.

<45> 차지 펌핑부(3100)는 제1 및 제2 PMOS 트랜지스터 MP41, MP42, 및 제1 및 제2 NMOS 트랜지스터 MN41, MN42를 포함한다. 제1 PMOS 및 NMOS 트랜지스터 MP41, MN41의 게이트는 각각 차지 펌핑부(3100)의 제1 및 제2 입력단(301, 303)을 형성하고, 드레인은 각각 제2 PMOS 및 NMOS 트랜지스터 MP42, MN42의 소오스와 접속된다. 제1 PMOS 및 NMOS 트랜지스터 MP41, MN41의 소오스는 각각 전원 및 접지에 접속된다. 제2 PMOS 트랜지스터 MP42의 게이트는 차지 펌핑부(3100)의 바이어스단(305)을 형성하고, 드레인은 제2 NMOS 트랜지스터 MN42의 드레인과 접속되어 차지 펌핑부(3100)의 출력단(307)을 형성한다. 제2 NMOS 트랜지스터 MN42의 게이트에는 제2 PMOS 트랜지스터 MP42에 흐르는 소오스 전류와 동일한 양의 싱크 전류가 흐르도록 미리 정해진 일정한 N형 바이어스 전압 BIASN이 인가된다.

<46> 전류 복사부(3300)는 제1 및 제2 PMOS 트랜지스터 CP41, CP42, 제1 및 제2 NMOS 트랜지스터 CN41, CN42, 및 커패시터 C42를 포함한다. 제1 PMOS 및 NMOS 트랜지스터 CP41, CN41의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 제2 PMOS 및 NMOS 트랜지스터 CP42, CN42의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속된다. 제2 PMOS 트랜지스터 CP42의 게이트는 전류 복사부(3300)의 바이어스단(309)을 형성하고, 드

레인은 제2 NMOS 트랜지스터 CN42의 드레인과 접속되어 전류 복사부(3300)의 출력단(311)을 형성한다. 제2 NMOS 트랜지스터 CN42의 게이트에는 일정한 N형 바이어스 전압 BIASN이 인가되며, 커패시터 C42는 제2 PMOS 및 NMOS 트랜지스터 CP42, CN42의 드레인의 접속점 및 접지간에 접속된다. 전류 복사부(3300)는 소위 말하는 전류 미러 회로(Current Mirror Circuit)로 구현될 수 있으며, 당업자에게 자명한 바와 같이, 본 발명의 개념이 전류 복사부(3300)의 특정 구현에 한정되는 것은 아니다.

<47> 제어부(3500)는 비교기 CMP41 및 PMOS 트랜지스터 CTR41를 포함한다. 비교기 CMP41의 + 입력단 및 - 입력단은 각각 제어부(3500)의 제1 및 제2 입력단(313, 315)을 형성하고, 출력단은 PMOS 트랜지스터 CTR41의 게이트에 접속된다. PMOS 트랜지스터 CTR41의 소오스는 전원에 접속되고, 드레인은 제어부(3500)의 출력단(317)을 형성한다.

<48> 바이어싱부(3700)는 제1 및 제2 PMOS 트랜지스터 BP41, BP42 및 제1 및 제2 NMOS 트랜지스터 BN41, BN42를 포함한다. 제1 PMOS 및 NMOS 트랜지스터 BP41, BN41의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 제2 PMOS 및 NMOS 트랜지스터 BP42, BN42의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속된다. 제2 PMOS 트랜지스터 BP42의 게이트는 바이어싱부(3700)의 출력단(321)을 형성하고, 드레인은 제2 NMOS 트랜지스터 BN42의 드레인과 접속되어, 바이어싱부(3700)의 제어단(319)을 형성한다. 제2 PMOS 트랜지스터 BP42의 게이트와 드레인은 서로 접속되고, 제2 NMOS 트랜지스터 BN42의 게이트에는 일정한 N형 바이어스 전압 BIASN이 인가된다.

<49> 이하, 도 3 및 도 4를 참조하여 본 발명의 일실시예에 따른 차지 펌프 회로의 동작을 설명한다.

<50> 도 3 및 도 4에 도시된 본 발명의 일실시예에 따르면, 차지 펌핑부(3100)의 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 를 복사하는 전류 복사부(3300)를 구비하고, 차지 펌핑부(3100)의 출력단(307)의 전압 V_{LF0} 과 전류 복사부(3300)의 출력단(311)의 전압 V_{LF0}' 의 차이를 검출하여, 검출된 전압 차이를 부궤환시키고, 바이어싱부(3700)의 제어단(319)에 유입되는 전류 I_{comp} 를 이 부궤환 신호에 따라서 가변시킴으로써, 차지 펌핑부(3100)와 전류 복사부(3300)의 출력단(307, 311)의 전압의 차이를 억제한다.

<51> 차지 펌핑부(3100)는 제1 및 제2 입력단(301, 303)에 각각 인가된 업 신호 UPB 및 다운 신호 DN에 의하여 출력단(307)에 접속된 커패시터 C31를 충전 및 방전시킨다. 즉, 업 신호 UPB가 인가되면, 제1 PMOS 트랜지스터 MP41가 활성화되고, 소오스 전류 I_{source} 가 전원으로부터 제1 및 제2 PMOS 트랜지스터 MP21, MP22를 통하여 출력단(307)으로 흐르게 된다. 따라서, 차지 펌핑부(3100)의 출력단(307)에 접속된 커패시터가 충전된다. 다운 신호 DN가 인가되면, 제1 NMOS 트랜지스터 MN41가 활성화되고, 싱크 전류 I_{sink} 가 출력단(307)으로부터 제1 및 제2 NMOS 트랜지스터 MN41, MN42를 통하여 접지로 흐르게 된다. 따라서, 차지 펌핑부(3100)의 출력단(307)에 접속된 커패시터 C31가 방전된다. 또한, 제2 PMOS 및 NMOS 트랜지스터 MP42, MN42의 게이트에 인가된 바이어스 전압에 의하여 출력단(307)에 흐르는 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 의 양이 결정되며, 초기 상태에서는 출력단(307)에 흐르는 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 가 일치되도록 바이어스 전압이 설정된다. 그러나, 상기 설명한 바와 같이, 차지 펌프 회로의 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 는 출력 구동 소자의 비이상적인 출력 임피던스로 인하여 서로 일치하지 않는 문제가 발생된다.

<52> 전류 복사부(3300)는 차지 펌핑부(3100)의 출력단(307)에 흐르는 전류를 복사하며, 바이어스단(309)에 인가된 전압에 의하여 출력단(311)의 전압 V_{LF0}' 을 제어한다. 즉, 전류 복사부(3300)의 제2 PMOS 트랜지스터 CP42의 게이트는 바이어스부(3700)의 출력단(321)과 접속됨으로써, 차지 펌핑부(3100)의 제2 PMOS 트랜지스터 MP42의 게이트에 인가되는 바이어스 전압과 실질적으로 동일한 바이어스 전압이 인가되고, 전류 복사부(3300)의 제2 NMOS 트랜지스터 CN42의 게이트에는 차지 펌핑부(3100)의 제2 NMOS 트랜지스터 MN42의 게이트에 인가되는 바이어스 전압과 실질적으로 동일한 바이어스 전압 BIASN이 인가된다. 따라서, 차지 펌핑부(3100)의 출력 전압 V_{LF0} 과 전류 복사부(3300)의 출력 전압 V_{LF0}' 이 실질적으로 동일한 경우에 전류 복사부(3300)의 제2 PMOS 트랜지스터 CP42에는, 업 신호 UPB가 인가될 때, 차지 펌핑부(3100)의 제2 PMOS 트랜지스터 MP42에 흐르는 소오스 전류 I_{source} 와 동일한 제1 전류 I_{source}' 가 흐르게 되고, 전류 복사부(3300)의 제2 NMOS 트랜지스터 CN42에는, 다운 신호 DN가 인가될 때, 차지 펌핑부(3100)의 제2 NMOS 트랜지스터 MN42에 흐르는 싱크 전류 I_{sink} 와 동일한 제2 전류 I_{sink}' 가 흐르게 된다. 또한, 전류 복사부(3300)의 바이어스단(309)에 인가되는 바이어스 전압이 증가하면 제2 PMOS 트랜지스터 CP42에 흐르는 제1 전류 I_{source}' 가 감소되어 출력 전압 V_{LF0}' 이 감소하게 되고, 이와 반대로 바이어스단(309)에 인가되는 바이어스 전압이 감소하면 출력 전압 V_{LF0}' 이 증가하게 된다.

<53> 제어부(3500)는 제1 및 제2 입력단(313, 315)에 인가되는 전압을 비교하고, 상기 두 전압의 차에 의하여 출력단(317)에 흐르는 전류 I_{comp} 를 제어한다. 제어부(3500)의 비교기 CMP41는 + 입력단에 인가되는 차지 펌핑부(3100)의 출력 전압 V_{LF0} 과 - 입력단에 인가되는 전류 복사부(3300)의 출력 전압 V_{LF0}' 을 비교하여 출력 전압 V_c 을 제어한다.

즉, 차지 펌핑부(3100)의 출력 전압 V_{LF0} 이 전류 복사부(3300)의 출력 전압 V_{LF0}' 보다 작은 경우에는 전압 V_c 을 감소시키고, 큰 경우에는 전압 V_c 를 증가시킨다. 제어부(3500)의 PMOS 트랜지스터 CTR41는 게이트에 인가되는 전압 V_c 에 의하여 제어부(3500)의 출력단(317)에 흐르는 전류 I_{comp} 의 양을 제어한다. 즉, PMOS 트랜지스터 CTR41의 게이트에 인가되는 제어 전압 V_c 이 감소하면 전류 I_{comp} 값을 증가시키고, 제어 전압 V_c 이 증가하면 전류 I_{comp} 값을 감소시킨다.

<54> 바이어싱부(3700)는 차지 펌핑부(3100)와 전류 복사부(3300)의 제2 PMOS 트랜지스터 MP42, CP42의 게이트에 바이어스 전압을 제공하고, 제어단(319)에 유입되는 전류 제어 신호 I_{comp} 에 비례하여 출력단(321)의 전압을 제어한다. 즉, 제어단(319)에 유입되는 전류 I_{comp} 가 감소하면, 제1 및 제2 PMOS 트랜지스터 BP41, BP42에 흐르는 전류 I_{comp}' 가 증가하게 되고, 바이어싱부(3700)의 출력 전압은 감소하게 된다. 이와 반대로, 제어단(319)에 유입되는 전류 I_{comp} 가 증가하면, 제1 및 제2 PMOS 트랜지스터 BP41, BP42에 흐르는 전류 I_{comp}' 가 감소하게 되고, 바이어싱부(3700)의 출력 전압은 증가하게 된다.

<55> 본 발명의 일실시예에 따른 차지 펌프 회로에 있어서, 차지 펌핑부(3100)의 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 는 출력 전압 V_{LF0} 에 따라 서로 일치하지 않게 되며, 이러한 불일치는 전류 복사부(3300)의 제1 전류 I_{source}' 및 제2 전류 I_{sink}' 간의 불일치를 발생시킨다. 따라서, 차지 펌핑부(3100)의 출력 전압 V_{LF0} 과 전류 복사부(3300)의 출력 전압 V_{LF0}' 간에는 불일치가 발생하게 된다. 제어부(3500)는 이러한 불일치를 검지하고 바이어싱부(3700)의 제어단(319)에 유입되는 제어 전류 I_{comp} 를 조절함으로써, 차지 펌핑부(3100)의 출력 전압 V_{LF0} 과 전류 복사부(3300)의 출력 전압 V_{LF0}' 간에 발생된 불일치를 보상한다.

- <56> 본 발명의 일실시예에 따른 차지 펌프 회로의 동작을 좀더 상세히 설명한다.
- <57> 차지 펌핑부(3100)의 출력 전압 V_{LF0} 이 전류 복사부(3300)의 출력 전압 V_{LF0}' 보다 낮아지면, 제어부(3500)에 의하여 제어 전류 I_{comp} 의 양이 증가하게 된다. 바이어싱부(3700)는 제어단(319)에 유입되는 제어 전류 I_{comp} 의 전류 값이 증가하면, 바이어싱부(3700)의 출력 전압을 증가시킨다. 따라서, 전류 복사부(3300)의 바이어스단(309)에 인가되는 바이어스 전압이 증가하게 되고, 전류 복사부(3300)의 출력단(311) 전압 V_{LF0}' 은 감소된다. 이 때, 차지 펌핑부(3100)의 바이어스단(305)에 인가되는 바이어스 전압도 증가하게 되나, 차지 펌핑부(3100)의 소오스 단은 업 신호 UPB가 인가된 경우에만 동작하고, 출력단(307)에 용량이 큰 커패시터 C31가 접속되어 있어, 출력 전압 V_{LF0} 에 실질적으로 영향을 미치지 않는다. 결국, 전류 복사부(3100)의 출력 전압 V_{LF0}' 전압은 차지 펌핑부(3100)의 출력 전압 V_{LF0} 과 실질적으로 동일하게 되어, 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 간의 불일치가 보상된다.
- <58> 이와 반대로, 차지 펌핑부(3100)의 출력 전압 V_{LF0} 이 전류 복사부(3300)의 출력 전압 V_{LF0}' 보다 높아지면, 제어부(3500)에 의하여 제어 전류 I_{comp} 의 전류 값이 감소하게 된다. 바이어싱부(3700)는 제어단(319)에 유입되는 전류 전류 I_{comp} 의 전류 값이 감소하면, 바이어싱부(3700)의 출력 전압을 감소시킨다. 따라서, 전류 복사부(3300)의 바이어스단(309)에 인가되는 바이어스 전압이 감소하게 되고, 전류 복사부(3300)의 출력단(311) 전압 V_{LF0}' 은 증가하게 된다. 결국, 전류 복사부(3100)의 출력 전압 V_{LF0} 전압은 차지 펌핑부(3100)의 출력 전압 V_{LF0} 과 실질적으로 동일하게 되어, 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 간의 불일치가 보상된다.

- <59> 본 발명의 일실시예에 따른 차지 펌프 회로에 있어서, 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 간의 불일치가 발생하게 되면, 차지 펌핑부(3100)의 출력 전압 V_{LF0} 과 전류 복사부(3300)의 출력 전압 V_{LF0}' 간에 차이가 발생되고, 이러한 차이를 제어부(3500)를 통하여 검지하여 보상함으로써, 소오스 전류 I_{source} 및 싱크 전류 I_{sink} 간의 불일치를 보상한다.
- <60> 도 5는 도 3에 도시된 차지 펌프 회로를 본 발명의 다른 실시예에 따라서 실제 소자를 이용하여 도시한 회로도이다.
- <61> 도 5에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 차지 펌프 회로는 차지 펌핑부(5100)의 출력 전압 V_{LF0} 및 전류 복사부(5300)의 출력 전압 V_{LF0}' 간의 불일치를 싱크 단에서 보상해 줌으로써, 차지 펌핑부(5100)의 출력단(507) 전류의 불일치를 보정한다.
- <62> 이하, 도 5를 참조하여, 본 발명의 다른 실시예에 따른 차지 펌프 회로의 구성 및 접속관계를 설명한다. 다만, 도 4에 도시된 본 발명의 일실시예에 따른 차지 펌프 회로와 중복되는 부분에 대해서는 설명을 생략하고, 여기서는 그 차이점에 대해서만 설명하도록 한다.
- <63> 차지 펌핑부(5100)의 제1 PMOS 및 NMOS 트랜지스터 MP51, MN51의 게이트는 제1 및 제2 입력단(501, 503)을 형성하고, 제2 NMOS 트랜지스터 MN52의 게이트는 차지 펌핑부(5100)의 바이어스단(505)을 형성한다. 제2 PMOS 트랜지스터 MP52의 게이트에는 제2 NMOS 트랜지스터 MN5에 흐르는 싱크 전류 I_{sink} 와 동일한 양의 소오스 전류 I_{source} 가 흐르도록 미리 정해진 일정한 P형 바이어스 전압 $BIASP$ 이 인가된다. 제2 PMOS 및 NMOS 트랜지스터 MP52, MN52의 드레인은 서로 접속되어 출력단(507)을 형성한다.

- <64> 전류 복사부(5300)의 제2 PMOS 트랜지스터 CP52의 게이트에는 일정한 P형 바이어스 전압 BIASP이 인가되고, 제2 NMOS 트랜지스터 CN52의 게이트는 전류 복사부(5300)의 바이어스단(509)을 형성한다. 제2 PMOS 및 NMOS 트랜지스터 CP52, CN52의 드레인은 서로 접속되어 전류 복사부(5300)의 출력단(511)을 형성한다. 커패시터 C52는 제2 PMOS 및 NMOS 트랜지스터 CP52, CN52의 드레인의 접속점과 전원 사이에 접속된다.
- <65> 제어부(5500)는 비교기 CMP51 및 NMOS 트랜지스터 CTR51를 포함한다. 비교기 CMP51의 + 입력단은 제어부(5500)의 제1 입력단(513)을 형성하고, - 입력단은 제2 입력단(515)을 형성하며, 출력단은 NMOS 트랜지스터 CTR51의 게이트에 접속된다. NMOS 트랜지스터 CTR51의 드레인은 제어부(5500)의 출력단(517)을 형성하고, 소오스는 접지된다.
- <66> 바이어싱부(5700)의 제2 PMOS 트랜지스터 BP51의 게이트에는 일정한 P형 바이어스 전압 BIASP이 인가되고, 제2 NMOS 트랜지스터 BN52의 게이트는 바이어싱부(5700)의 출력단(521)을 형성한다. 제2 NMOS 트랜지스터 BN52의 드레인 및 게이트는 서로 접속되고, 제2 PMOS 및 NMOS 트랜지스터 BP52, BN52의 드레인은 서로 접속되어 바이어싱부(5700)의 제어단(519)을 형성한다.
- <67> 이하, 도 5에 도시된 본 발명의 다른 실시예에 따른 차지 펌프 회로의 동작을 상세히 설명한다.
- <68> 차지 펌핑부(5100)의 출력 전압 V_{LF0} 이 전류 복사부(5300)의 출력 전압 V_{LF0}' 보다 낮아지면, 제어부(5500)의 비교기 CMP51는 양 전압 값의 차만큼 제어 전압 V_c 을 감소시킨다. 제어 전압 V_c 이 감소되면, NMOS 트랜지스터 CTR51에 의하여 제어부(5500)의 출력 전류 I_{comp} 가 감소하게 되고, 바이어싱부(5700)의 제2 NMOS 트랜지스터 BN52에 흐르는 전류 I_{comp}' 가 증가하게 된다. I_{comp}' 가 증가하면, 제2 NMOS 트랜지스터 BN52의 게이트

전압이 증가하고, 이로 인하여, 전류 복사부(5300)의 바이어스단(509)에 인가되는 바이어스 전압이 증가하게 된다. 따라서, 전류 복사부(5300)의 제2 전류 $I_{sink'}$ 가 증가하고, 출력 전압 $V_{LFO'}$ 은 감소함으로써, 결국 전류 복사부(5300)의 출력 전압 $V_{LFO'}$ 은 차지 펌프부(5100)의 출력 전압 V_{LFO} 과 실질적으로 동일한 전압값을 갖게 된다.

<69> 차지 펌프부(5100)의 출력 전압 V_{LFO} 이 전류 복사부(5300)의 출력 전압 $V_{LFO'}$ 보다 높아지면, 위와 동일한 원리에 의하여, 전류 복사부(5300)의 바이어스단(509)에 인가되는 바이어스 전압이 감소하게 됨으로써, 결국 차지 펌프부(5100)의 출력 전압 V_{LFO} 과 전류 복사부(5300)의 출력 전압 $V_{LFO'}$ 이 실질적으로 동일하게 된다.

【발명의 효과】

<70> 본 발명에 따르면, 차지 펌프 회로에 전류 복사 회로 및 제어 회로를 부가하여, 차지 펌프 회로의 출력단 전압을 부궤환시켜 보상함으로써, 차지 펌프의 소오스 전류 및 싱크 전류 간 불일치를 보정할 수 있다.

<71> 또한, 차지 펌프의 스위칭 속도 및 동작 범위를 저하시키지 않고 소오스 전류 및 싱크 전류를 일치시킬 수 있다.

【특허청구범위】

【청구항 1】

제1 및 제2 입력단, 바이어스단, 및 출력단을 구비하고, 상기 제1 및 제2 입력단에 각각 업 신호 및 다운 신호가 인가되면, 상기 출력단에 접속된 커패시터를 충전 및 방전시키고, 상기 바이어스단에 인가된 바이어스 전압에 의하여 상기 출력단에 흐르는 전류의 양이 결정되는 차지 펌핑부,

바이어스단 및 출력단을 구비하고, 상기 차지 펌핑부의 상기 출력단에 흐르는 전류를 복사하고, 상기 바이어스단에 인가된 전압에 의하여 상기 출력단의 전압이 제어되는 전류 복사부,

상기 차지 펌핑부의 상기 출력단에 접속되는 제1 입력단, 상기 전류 복사부의 상기 출력단에 접속되는 제2 입력단, 및 출력단을 구비하고, 상기 제1 및 제2 입력단에 인가되는 전압의 차에 의하여 상기 출력단에 흐르는 제어 전류 값을 제어하는 제어부, 및

상기 제어부의 상기 출력단에 접속되는 제어단, 상기 차지 펌핑부 및 상기 전류 복사부의 상기 바이어스단과 접속되는 출력단을 구비하고, 상기 제어단에 유입되는 상기 제어 전류에 의하여 상기 출력단의 전압을 제어하는 바이어싱부

를 포함하는 차지 펌프 회로.

【청구항 2】

제1항에 있어서,

상기 차지 펌핑부는 제1 및 제2 PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터를 포함하고,

상기 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 상기 차지 펌핑부의 상기 제1 및 제2 입력단을 형성하고, 드레인은 각각 상기 제2 PMOS 및 NMOS 트랜지스터의 소오스와 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 상기 제2 PMOS 트랜지스터의 게이트는 상기 차지 펌핑부의 상기 바이어스단을 형성하고, 드레인은 상기 제2 NMOS 트랜지스터의 드레인과 접속되어 상기 차지 펌핑부의 상기 출력단을 형성하고, 상기 제2 NMOS 트랜지스터의 게이트에는 일정한 N형 바이어스 전압이 인가되는 차지 펌프 회로.

【청구항 3】

제1항에 있어서,

상기 전류 복사부는 제1 및 제2 PMOS 트랜지스터, 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 상기 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 상기 제2 PMOS 및 NMOS 트랜지스터의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 상기 제2 PMOS 트랜지스터의 게이트는 상기 전류 복사부의 상기 바이어스단을 형성하고, 드레인은 상기 제2 NMOS 트랜지스터의 드레인과 접속되어 상기 전류 복사부의 상기 출력단을 형성하고, 상기 제2 NMOS 트랜지스터의 게이트에는 상기 N형 바이어스 전압이 인가되는 차지 펌프 회로.

【청구항 4】

제1항에 있어서,

상기 제어부는 상기 제어부의 상기 제1 및 제2 입력단을 형성하는 + 입력단 및 - 입력단, 및 출력단을 구비하고, 상기 + 입력단 및 상기 - 입력단에 인가된 전압의 차에 의하여 상기 출력단의 전압을 제어하는 비교기, 및 PMOS 트랜지스터를 포함하고,

상기 PMOS 트랜지스터의 소오스는 전원에 접속되고, 게이트는 상기 비교기의 상기 출력단에 접속되며, 드레인은 상기 제어부의 상기 출력단을 형성하는 차지 펌프 회로.

【청구항 5】

제1항에 있어서,

상기 바이어싱부는 제1 및 제2 PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 상기 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 상기 제2 PMOS 및 NMOS 트랜지스터의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 상기 제2 PMOS 트랜지스터의 게이트는 상기 바이어싱부의 상기 출력단을 형성하고, 드레인은 상기 제2 NMOS 트랜지스터의 드레인과 접속되어 상기 바이어싱부의 상기 제어단을 형성하며, 상기 제2 PMOS 트랜지스터의 게이트와 드레인은 서로 접속되고, 상기 제2 NMOS 트랜지스터의 게이트에는 상기 N형 바이어스 전압이 인가되는 차지 펌프 회로.

【청구항 6】

제1항에 있어서,

상기 차지 펌핑부는 제1 및 제2 PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터를 포함하고,

상기 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 상기 차지 펌핑부의 상기 제1 및 제2 입력단을 형성하고, 드레인은 각각 상기 제2 PMOS 및 NMOS 트랜지스터의 소오스와 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 상기 제2 NMOS 트랜지스터의 게이트는 상기 차지 펌핑부의 상기 바이어스단을 형성하고, 드레인은 상기 제2 PMOS 트랜

지스터의 드레인과 접속되어 상기 차지 펌핑부의 상기 출력단을 형성하고, 상기 제2 PMOS 트랜지스터의 게이트에는 일정한 P형 바이어스 전압이 인가되는 차지 펌프 회로.

【청구항 7】

제1항에 있어서,

상기 전류 복사부는 제1 및 제2 PMOS 트랜지스터, 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 상기 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 상기 제2 PMOS 및 NMOS 트랜지스터의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 상기 제2 NMOS 트랜지스터의 게이트는 상기 전류 복사부의 상기 바이어스단을 형성하고, 드레인은 상기 제2 PMOS 트랜지스터의 드레인과 접속되어 상기 전류 복사부의 상기 출력단을 형성하고, 상기 제2 PMOS 트랜지스터의 게이트에는 상기 P형 바이어스 전압이 인가되는 차지 펌프 회로.

【청구항 8】

제1항에 있어서,

상기 제어부는 상기 제어부의 상기 제1 및 제2 입력단을 형성하는 + 입력단 및 - 입력단, 및 출력단을 구비하고, 상기 + 입력단 및 상기 - 입력단에 인가된 전압의 차에 의하여 상기 출력단의 전압을 제어하는 비교기, 및 NMOS 트랜지스터를 포함하고,

상기 NMOS 트랜지스터의 드레인은 상기 제어부의 상기 출력단을 형성하고, 게이트는 상기 비교기의 상기 출력단과 접속되며, 소오스는 접지되는 차지 펌프 회로.

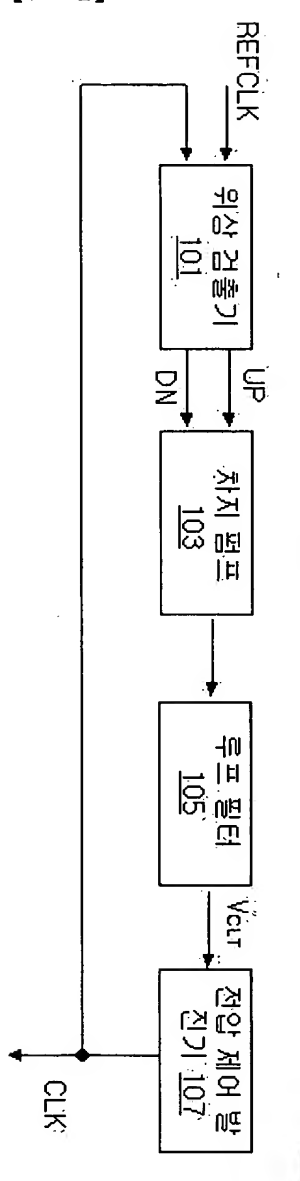
【청구항 9】

제1항에 있어서,

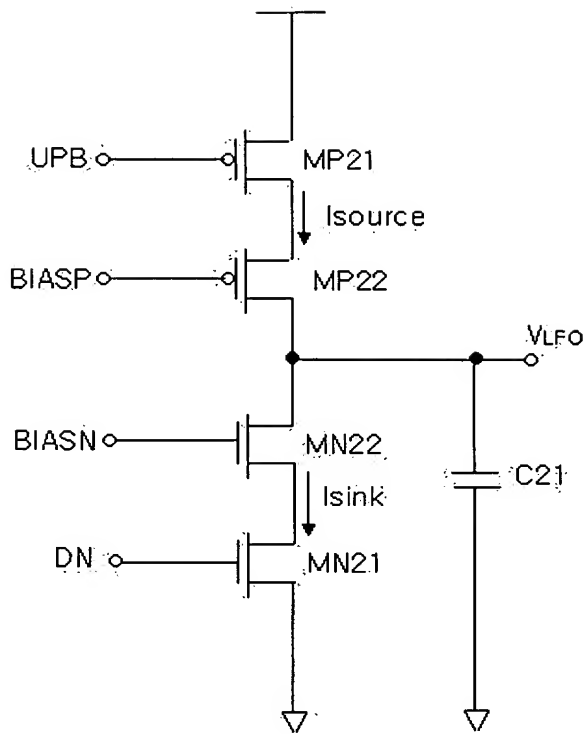
상기 바이어싱부는 제1 및 제2 PMOS 트랜지스터 및 제1 및 제2 NMOS 트랜지스터를 포함하고, 상기 제1 PMOS 및 NMOS 트랜지스터의 게이트는 각각 접지 및 전원에 접속되고, 드레인은 각각 상기 제2 PMOS 및 NMOS 트랜지스터의 소오스에 접속되며, 소오스는 각각 전원 및 접지에 접속되고, 상기 제2 NMOS 트랜지스터의 게이트는 상기 바이어싱부의 상기 출력단을 형성하고, 드레인은 상기 제2 PMOS 트랜지스터의 드레인과 접속되어 상기 바이어싱부의 상기 제어단을 형성하며, 상기 제2 NMOS 트랜지스터의 게이트와 드레인은 서로 접속되고, 상기 제2 PMOS 트랜지스터의 게이트에는 상기 P형 바이어스 전압이 인가되는 차지 펌프 회로.

【도면】

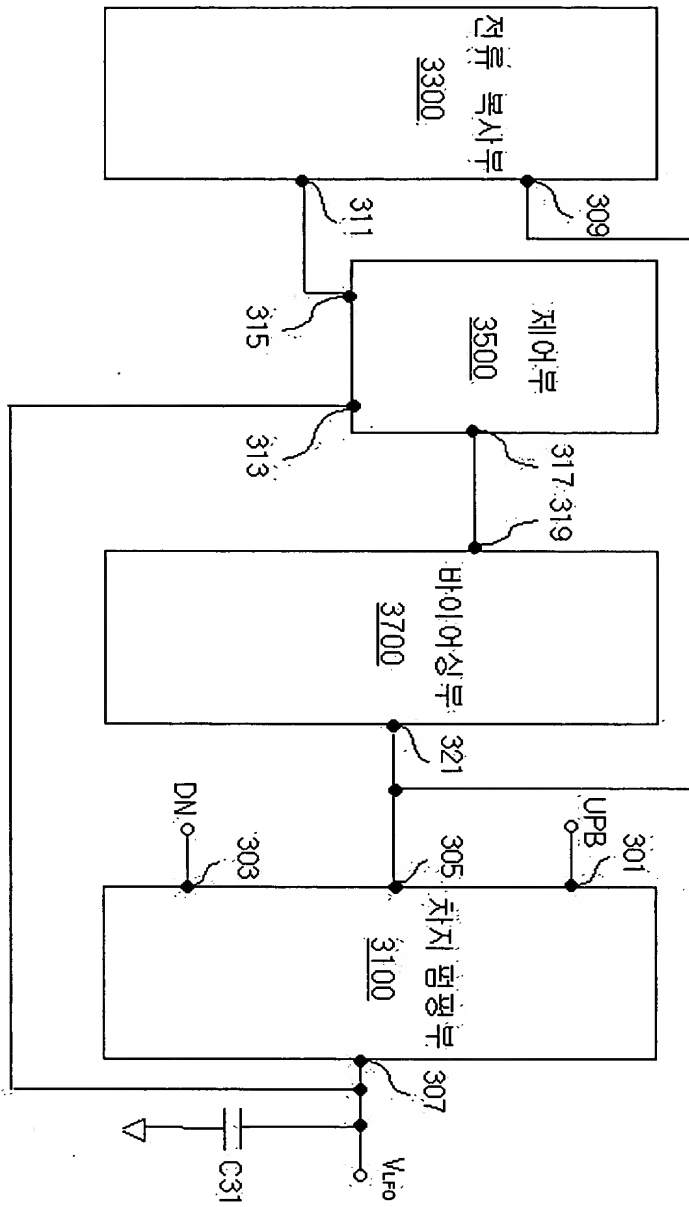
【도 1】



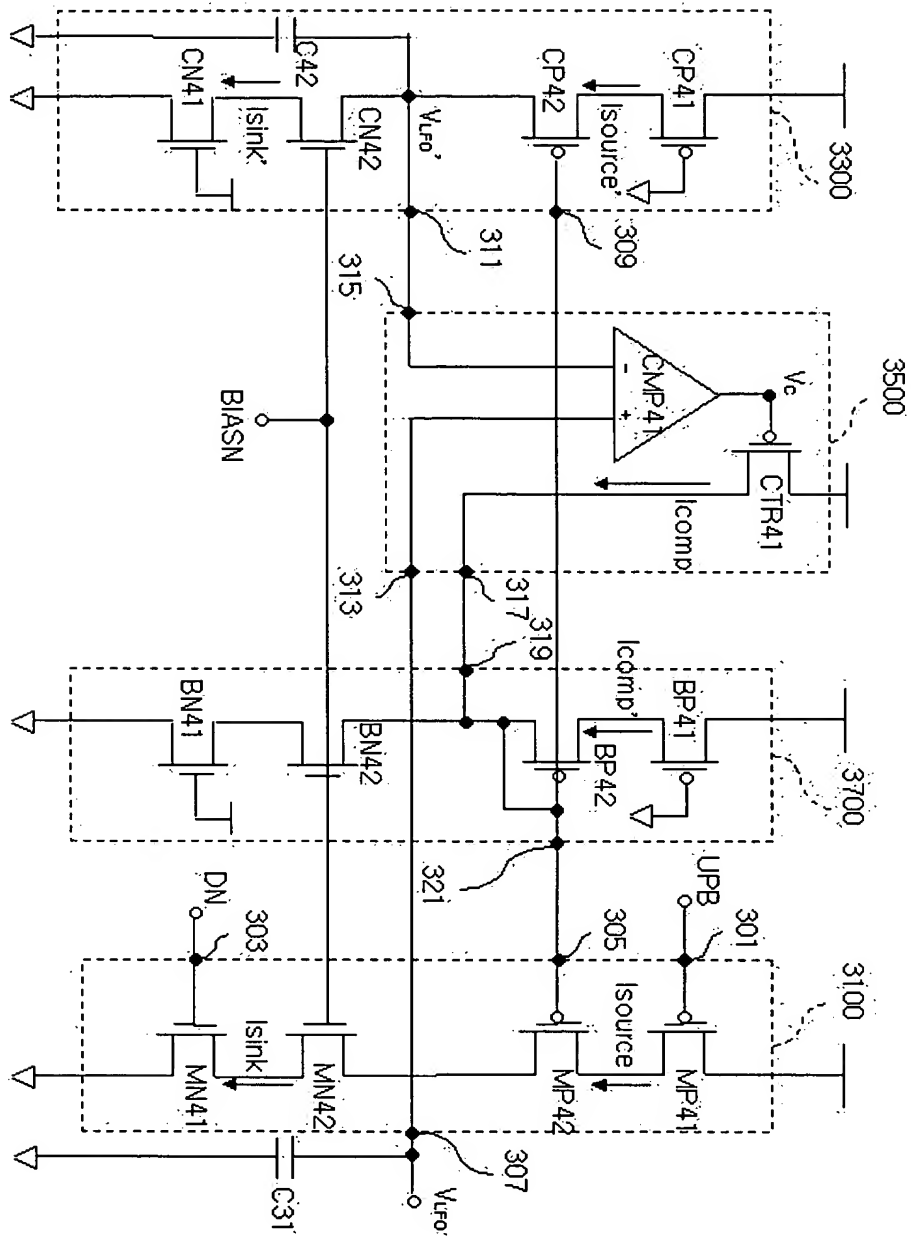
【도 2】



【도 3】



【도 4】



【도 5】

